

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-258201

(P2003-258201A)

(43) 公開日 平成15年9月12日 (2003.9.12)

(51) Int.Cl.⁷

H 0 1 L 27/105

識別記号

F I

H 0 1 L 27/10

テーマコード(参考)

4 4 4 B 5 F 0 8 3

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2002-53874(P2002-53874)

(22) 出願日 平成14年2月28日 (2002.2.28)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 ケリー アンドリュウ ジョセフ

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100091340

弁理士 高橋 敬四郎 (外1名)

Fターム(参考) 5F083 FR02 JA15 JA17 JA38 JA39

JA40 JA43 JA45 MA06 MA17

NA01 NA08 PR03

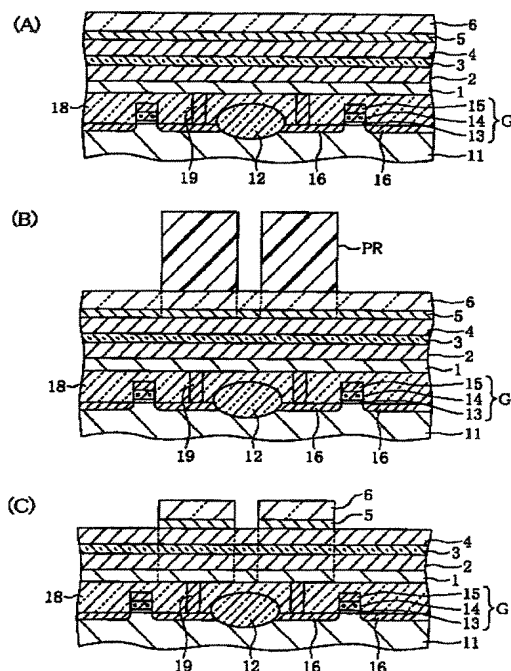
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 強誘電体キャパシタ構造を効率的にエッチングすることのできる半導体装置の製造方法を提供する。垂直に近い側壁を有する強誘電体キャパシタ構造を、ドライエッチングを用いて形成することのできる半導体装置の製造法を提供する

【解決手段】 半導体装置の製造方法は、(a) 絶縁表面内にコンタクト用導電表面を露出した半導体基板上に酸素バリア導電層、下部電極層、強誘電体層、上部電極層を積層する工程と、(b) 前記上部電極層上に第1層、第2層を含むハードマスクを形成する工程と、

(c) 前記ハードマスクをエッチングマスクとして、プラズマエッチングにより前記上部電極層、強誘電体層、下部電極層、酸素バリア導電層をエッチングしてキャパシタ構造を形成する工程と、を含む。



1

【特許請求の範囲】

【請求項 1】 (a) 絶縁表面内にコンタクト用導電表面を露出した半導体基板上に酸素バリア導電層、下部電極層、強誘電体層、上部電極層を積層する工程と、

(b) 前記上部電極層上に第 1 層、第 2 層を含むハードマスクを形成する工程と、

(c) 前記ハードマスクをエッチングマスクとして、プラズマエッチングにより前記上部電極層、強誘電体層、下部電極層、酸素バリア導電層をエッチングしてキャパシタ構造を形成する工程と、を含む半導体装置の製造方法。

【請求項 2】 さらに、

(d) エッチング後、残ったハードマスクの少なくとも一部を除去する工程を含む請求項 1 記載の半導体装置の製造方法。

【請求項 3】 さらに、

(e) 前記キャパシタ構造を覆う水素バリア絶縁層を形成する工程を含む請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 4】 前記上部電極、下部電極が、貴金属元素を含み、前記強誘電体層が酸化物ペロプスカイト型強誘電体を含む請求項 1～3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】 前記ハードマスクが、TiN、Ta₂N₃、TiAlN のいずれかで形成された下側の第 1 層と、前記第 1 層の上に配置され、酸化シリコンで形成された第 2 層とを含む請求項 1～4 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に強誘電体キャパシタを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 強誘電体キャパシタをメモリ素子として用いる強誘電体ランダムアクセスメモリ (FeRAM) は、1 トランジスタ/1 キャパシタで不揮発性メモリセルを構成できる。強誘電体として酸化物ペロプスカイト型強誘電体が多く用いられている。

【0003】 FeRAM の集積度を向上させるため、電界効果トランジスタのソース/ドレイン領域上に層間絶縁膜中に埋め込んだ導電性プラグを形成し、プラグに接続して層間絶縁膜上に強誘電体キャパシタを形成するプレーナスタックキャパシタ構造が検討されている。限られた面積内になるべく電極対向面積の大きなキャパシタを形成するためには、キャパシタ構造をなるべく垂直に近い方向でパターンニングすることが望まれる。

【0004】 従来、強誘電体キャパシタの電極および強誘電体膜は、フォトレジストパターンをマスクとしたエッチングでパターンニングしていた。フォトレジストは、

2

エッチング耐性が十分でないため、垂直性エッチングは極めて困難であった。

【0005】 キャパシタ構造を垂直にエッチングしようとする、レジストマスクを用いる代りにハードマスクを用いることが望まれる。単層のシリコン酸化膜でハードマスクを形成すると、強誘電体や貴金属電極をエッチングする際に必要な高バイアス条件で、ハードマスクと上部電極との界面で剥がれが発生し易い。又、酸化シリコン膜のハードマスクをドライエッチングで除去しようとする、エッチングガスにより上部電極の膜質変化やダメージを発生させてしまう。

【0006】 TiN 等のバリア系材料を用いた単層ハードマスクは、エッチング工程終了後は上部電極にダメージを与えないプロセスで除去し易い。但し、酸素が存在しない条件でエッチングを行なうと、ハードマスクと PbZrTiO₃ (PZT) 等の強誘電体膜との間に高いエッチ選択比を得ることが難しい。酸素を添加すると、エッチ選択比を高くすることができるが、強誘電体のエッチレートの低下し、テーパーが発生し易い。

【0007】

【発明が解決しようとする課題】 本発明の目的は、強誘電体キャパシタ構造を効率的にエッチングすることのできる半導体装置の製造方法を提供することである。

【0008】 本発明の他の目的は、垂直に近い側壁を有する強誘電体キャパシタ構造を、ドライエッチングを用いて形成することのできる半導体装置の製造法を提供することである。

【0009】

【課題を解決するための手段】 本発明の一観点によれば、a) 絶縁表面内にコンタクト用導電表面を露出した半導体基板上に酸素バリア導電層、下部電極層、強誘電体層、上部電極層を積層する工程と、(b) 前記上部電極層上に第 1 層、第 2 層を含むハードマスクを形成する工程と、(c) 前記ハードマスクをエッチングマスクとして、プラズマエッチングにより前記上部電極層、強誘電体層、下部電極層、酸素バリア導電層をエッチングしてキャパシタ構造を形成する工程と、を含む半導体装置の製造方法が提供される。

【0010】

【発明の実施の形態】 図 1 (A)～図 3 (J) は、本発明の実施例による半導体装置の製造方法の主要プロセスを示す断面図である。この実施例には複数の変形例が含まれる。

【0011】 図 1 (A) に示すように、p 型表面領域を有するシリコン基板 11 の表面に、酸化シリコン等の素子分離領域 12 を形成する。素子分離領域 12 は、シリコンの局所酸化 (LOCOS) 又はシャロートレンチアイソレーション (STI) で形成される。素子分離領域 12 は、シリコン基板 11 表面に複数の活性領域を画定する。各活性領域表面上に、ゲート絶縁膜 13、多結晶

3

シリコンゲート電極14、シリサイドゲート電極15の積層により絶縁ゲート電極Gを形成する。絶縁ゲート電極Gの両側のシリコン基板表面に、n型ソース／ドレイン領域16をイオン注入等により形成する。

【0012】例えば酸化シリコン等の層間絶縁膜18により、ゲート電極Gを覆って平坦な絶縁表面を形成する。層間絶縁膜18の表面層として窒化シリコン等エッチストップパとして機能する層を設けてもよい。層間絶縁膜18を貫通してスルーホールを形成し、タングステン等の導電体を埋め込んでソース／ドレイン領域16を表面に導出する導電体プラグ19を形成する。導電体プラグ19の表面を化学機械研磨(CMP)等により層間絶縁膜18の表面と面一にし、その表面上に強誘電体キャパシタ構造を構成する積層を作成する。

【0013】まず、酸素バリア導電体層1としてIr層、TiN層、TiAlN層等を作成する。酸素バリア導電体層1の上に、下部電極層2としてIr、Pt、IrO、SRO(SrRuO_x)等の単層又は積層を形成する。下部電極層2の上に、酸化物強誘電体層3、例えばPZT(PbZrTiO_x)、SBT(SrBiTaO_x)、BLT(BiLaTiO_x)等の酸化物ペロブスカイト型強誘電体層を形成する。酸化物強誘電体層3の上に、上部電極層4としてPt、Ir等の貴金属、IrO、SRO、PtO等の酸化物導電体層の単層又は積層を形成する。

【0014】上部電極層4の上に、ハードマスク用の第1層5、第2層6を含む積層を形成する。例えば、第1層5は、TiN、Ta₂N、TiAlN等で形成する。第2層6は、例えばCVD、プラズマCVD、スピノングラス(SOG)等により形成したSiO₂膜で形成する。

【0015】図1(B)に示すように、ハードマスク層5、6の上にホトレジスト層を形成し、露光、現像することによりホトレジストパターンPRを作成する。ホトレジストパターンPRは、キャパシタ構造を形成する領域上に作成される。このホトレジストパターンPRをエッチングマスクとし、その下のハードマスク層5、6をエッチングする。ハードマスク5、6をパターンニングした後、ホトレジストパターンPRは除去する。

【0016】図1(C)に示すように、積層ハードマスク5、6をエッチングマスクとし、その下の上部電極層4、強誘電体層3、下部電極層2、酸素バリア導電体層1を連続的に高密度プラズマエッチングでエッチングし、ハードマスク層5、6の下にそれぞれ強誘電体キャパシタ構造を形成する。

【0017】図4は、高密度プラズマエッチングを行なう誘導結合プラズマエッチング装置の構成を示す。チャンバ30は、石英製側壁の外側にコイル31を備え、コイル31は高周波電源32に接続されている。誘導結合により、チャンバ内に高周波を印加することができる。

4

【0018】チャンバ30内には対向電極34、35が設けられている。下側の電極は、ステージであり、その上にウエハ等の被加工物8を載置する。ステージ35は、400~450kHzの低周波電源37に接続されている。さらに、ステージ35は、配管36を備え、水冷によりステージ35を一定温度に保つことができる。

【0019】図2(D)に示すように、強誘電体キャパシタ構造のエッチング中、酸化シリコンで形成された第2層ハードマスク層5は消滅することもある。ドライエッチングで第2層ハードマスク層6を消滅させ、又はドライエッチング後第2層ハードマスク層6を除去して、第1層ハードマスク層5を露出させる。

【0020】図2(E)に示すように、TiO₂層、Al₂O₃層等水素遮蔽能を有する絶縁層により、強誘電体キャパシタ構造を覆うエンキャプシュレーション膜8を形成する。なお、ハードマスク層の第1層の一部として、このようなエンキャプシュレーション機能を有する絶縁層を積層しておいても良い。

【0021】図2(F)に示すように、エンキャプシュレーション層8を覆うように、酸化シリコン層等の層間絶縁膜9を形成し、表面を平坦化する。層間絶縁膜9表面から各強誘電体キャパシタの上部電極4に到達するビア孔20を形成し、W層等を埋め込んで導電体プラグ21を形成する。層間絶縁膜9の上に配線層を形成し、パターンニングすることにより導電体プラグ21に接続された配線22を作成する。なお、導電体プラグ21と配線22とを一体に形成してもよい。

【0022】上述の実施例においては、ハードマスク積層の一部をそのまま残したが、ハードマスク層を残すことは必須要件ではない。以下、その例を説明する。図3(G)に示すように、十分なエッチング耐性を有するハードマスク積層5、6を作成し、このハードマスクをエッチングマスクとして強誘電体キャパシタ構造4、3、2、1を連続的にエッチングし、強誘電体キャパシタ構造を形成する。

【0023】図3(H)に示すように、ハードマスク積層6、5を除去する。例えば、層間絶縁膜18表面にエッチストップ層が形成されている場合は、酸化シリコン層6を希フッ酸で除去し、TiN等の第1ハードマスク層を(弗化アンモン+過酸化水素)で除去しても良い。強誘電体キャパシタ構造のエッチングに用いたハードマスク積層を全て除去し、強誘電体キャパシタ構造を露出する。

【0024】図3(I)に示すように、強誘電体キャパシタ構造を水素遮蔽能を有するエンキャプシュレーション膜8で覆い、その上に層間絶縁膜9を形成する。層間絶縁膜9の表面をCMP等により平坦化する。層間絶縁膜9表面から強誘電体キャパシタ構造の上部電極に達するビア孔20を形成し、導電体プラグ21を埋め込む。導電体プラグ21の表面上に、配線22を形成する。な

5

お、配線22と導電体プラグ21は、別々の工程で形成しても良いが、同一工程で一体に形成しても良い。

【0025】図1(C)の工程で行うエッチングは、常温で行なうこともできるが、200℃以上の高温で行い、エッチレートを促進することもできる。以下、常温エッチングの例と高温エッチングの例をそれぞれ説明する。

【0026】低温エッチング

強誘電体キャパシタ構造の構成としては、

酸素バリア導電層1：Ir層、厚さ90nm、

下部電極層2：上側Pt層/IrO₂層、厚さ100nm/50nm、

強誘電体層3：PZT層、厚さ220nm（化学溶液堆積、CSD、により作成）、

上部電極層4：上側IrO₂層/下側SRO層、厚さ75nm/15nmを用いた。

【0027】ハードマスク5、6の構成としては、

第1層目ハードマスク5：TiN層、厚さ150nm（スパッタリングにより作成）、

第2層目ハードマスク6：SiO₂層、厚さ500nm（プラズマTEOSのCVDにより作成）

を用いた。

【0028】エッチングは、ステージを20℃に冷却し、RF電極に1400Wを投入し、対向電極間に約400kHzの低周波を約800W投入し、エッチングガス圧力0.7Paで行なった。

【0029】エッチングガス条件は、

上部電極層4に対して、

Cl₂:O₂=流量30:20、エッチ時間40秒

強誘電体層3に対して、

Cl₂:Ar:O₂:CF₄=流量16:20:20:8、エッチ時間65秒

下部電極2+酸素バリア導電層1に対して、

Cl₂:O₂=流量30:20、エッチ時間80秒とした。

【0030】上記エッチ条件においては、エッチング中第2ハードマスク層5は消滅した。強誘電体層3に対するエッチングガス中O₂が混合されているのは、ハードマスクに対する強誘電体層のエッチングレート比を増大させるためである。しかし、O₂を添加すると、強誘電体層のエッチレートは下がり、マイクロローディング効果も発生する。

【0031】第1ハードマスク層5をアンモニア水（29%）/過酸化水素水（31%）=1:5溶液で25℃で除去した。その後、図3(I)の工程を行い、さらにWプラグ、配線層、Wプラグ等を作成した。

【0032】図5は、作成したサンプルの断面写真を示す。強誘電体キャパシタ構造の側壁は、水平面に対し約70度近傍のテーパ角を示している。高温エッチング高温エッチングは、エッチレートを増大させるが、エッ

6

チング条件が過酷となるため、ハードマスク層等を強化することが望まれる。具体的に行った条件は以下の通りである。

【0033】強誘電体キャパシタ構造として、

酸素遮蔽導電層1：Ir層、厚さ200nm

下部電極層2：上側Pt層/下側IrO₂層、厚さ100nm/50nm

強誘電体層3：PZT層、厚さ200nm（スパッタリングで作成）、

10 上部電極層4：IrO₂層、厚さ200nmを用いた。

【0034】ハードマスク構造として、

第1層目ハードマスク層5：TiN層、厚さ200nm（スパッタリングで作成）、

第2層目ハードマスク層6：SiO₂層、厚さ100nm（プラズマTEOSのCVDで作成）

を用いた。

【0035】エッチング条件は、ステージ温度350℃とし、投入電力は常温エッチングと同様1400W/8000W、エッチングガス圧力も常温エッチングと同様

20 0.7Paとした。エッチングガスは、

上部電極層4に対して、

Cl₂:O₂=流量16:20、エッチ時間20秒

強誘電体層3に対して、

Cl₂=流量100、エッチ時間35秒

下部電極2+酸素遮蔽導電層1に対して、

Cl₂:O₂=流量30:100、エッチ時間60秒とした。

【0036】図6は、強誘電体キャパシタ構造の一括エッチング直後の形状を示す。第2層目ハードマスクは、上面が山形に変形しているが、その下の第1層ハードマスク層の上面全面を覆っている。上部電極4、強誘電体層3、株電極2、酸素バリア導電層1がより垂直に近い一定角度でエッチングされている。強誘電体キャパシタ構造の側面は、水平面に対し約82~83度の角度であった。このような高温エッチングにより、強誘電体キャパシタ構造が80度以上の垂直に近い角度を有する側面を有する形状にパターンニングできる。

30 【0037】第1層目TiNハードマスク層を省略すると、エッチングの際にハードマスク層と上部電極層との界面で剥がれが発生するが、TiN層を介在させることにより、剥がれを防止することができた。第1層ハードマスク層としてTiN層の代りTa₂N層やTiAl₂N層を用いても同様の結果が期待できる。

【0038】又、第1層目ハードマスク層を除去しない場合には、第1層目ハードマスク層又はその一部としてTiO₂層、Al₂O₃層等を用いても良い。又、第1層目ハードマスク層5を作成する際、酸化物強誘電体層の還元を防止するためには、第1層目ハードマスク層を水素発生を伴わない方法で作成するのが好ましい。例え

50

ば、第1層目ハードマスク層はスパッタリングで作成する。

【0039】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の改良、変更、組み合わせが可能なことは当業者にとって自明であろう。

【0040】以下、本発明の特徴を付記する。

(付記1) (1) (a) 絶縁表面内にコンタクト用導電表面を露出した半導体基板上に酸素バリア導電層、下部電極層、強誘電体層、上部電極層を積層する工程と、

(b) 前記上部電極層上に第1層、第2層を含むハードマスクを形成する工程と、(c) 前記ハードマスクをエッチングマスクとして、プラズマエッチングにより前記上部電極層、強誘電体層、下部電極層、酸素バリア導電層をエッチングしてキャパシタ構造を形成する工程と、を含む半導体装置の製造方法。

【0041】(付記2) (2) さらに、(d) エッチング後、残ったハードマスクの少なくとも一部を除去する工程を含む付記1記載の半導体装置の製造方法。

【0042】(付記3) 前記ハードマスクの第1層は接着層の機能を有する層であり、第2層は絶縁層であり、前記工程(d)は、第2層を除去する付記2記載の半導体装置の製造方法。

【0043】(付記4) 前記ハードマスクの第1層が、水素遮蔽能を有する薄膜を含む付記3記載の半導体装置の製造方法。

(付記5) 前記ハードマスクの第1層は接着層の機能を有する層であり、第2層は絶縁層であり、前記工程(d)は、ハードマスクを全て除去する付記2記載の半導体装置の製造方法。

【0044】(付記6) (3) さらに、(e) 前記キャパシタ構造を覆う水素バリア絶縁層を形成する工程を含む付記1～5のいずれか1項記載の半導体装置の製造方法。

【0045】(付記7) (4) 前記上部電極、下部電極が、貴金属元素を含み、前記強誘電体層が酸化物ペロブスカイト型強誘電体を含む付記1～6のいずれか1項に記載の半導体装置の製造方法。

【0046】(付記8) 前記上部電極が貴金属の酸化物を含む付記7記載の半導体装置の製造方法。

(付記9) 前記下部電極が、貴金属の酸化物電極と貴金属電極との積層を含む付記7記載の半導体装置の製造方法。

【0047】(付記10) 前記酸化物ペロブスカイト型強誘電体が、PZT、SBT、BLTのいずれかを含む付記7記載の半導体装置の製造方法。

(付記11) (5) 前記ハードマスクが、TiN、Ta₂N₅、TiAlNのいずれかで形成された下側の第1層と、前記第1層の上に配置され、酸化シリコンで形成された第2層とを含む付記1～10のいずれか1項に記載

の半導体装置の製造方法。

【0048】(付記12) 前記ハードマスクが、TiNの下側第1層と酸化シリコンの上側第2層で構成されている付記1～10のいずれか1項記載の半導体装置の製造方法。

【0049】(付記13) 前記工程(b)は、前記第1層をスパッタリングで形成する付記11または12記載の半導体装置の製造方法。

(付記14) 前記工程(b)は、前記第2層をCVD、プラズマCVD、塗布法のいずれかで形成する付記11～13のいずれか1項記載の半導体装置の製造方法。

【0050】(付記15) 前記工程(c)は、誘導結合プラズマを用いて行われる付記1～14のいずれか1項に記載の半導体装置の製造方法。

(付記16) 前記工程(c)は、エッチングガスとしてCl₂、SiCl₄、BCl₃、CF₄、C₄F₈、HBrのうち少なくとも1つを用いて行われる付記1～15のいずれか1項に記載の半導体装置の製造方法。

【0051】(付記17) 前記工程(c)は、エッチングガスにO₂または(O₂+N₂)を添加してエッチングする工程を含む付記16記載の半導体装置の製造方法。

【0052】(付記18) 前記酸素バリア層が、IrまたはTiN、TiAlNのいずれかを含む付記1～17のいずれか1項記載の半導体装置の製造方法。

(付記19) 前記酸素バリア層がIr層である付記18記載の半導体装置の製造方法。

【0053】

【発明の効果】以上説明したように、本発明によれば、強誘電体キャパシタ形成用積層を同一マスクを用いた連続ドライエッチングでパターンニングすることができる。

【0054】強誘電体キャパシタ構造の側壁のテーパ角度を急にすることにより、FeRAM装置の集積度を向上し易くなる。

【図面の簡単な説明】

【図1】 本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図2】 本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図3】 本発明の実施例による半導体装置の製造方法を説明するための断面図である。

【図4】 誘導結合プラズマエッチング装置の構成を示す概略断面図である。

【図5】 本発明の実施例の1例により作成したFeRAM装置の断面構成を示す電子顕微鏡写真である。

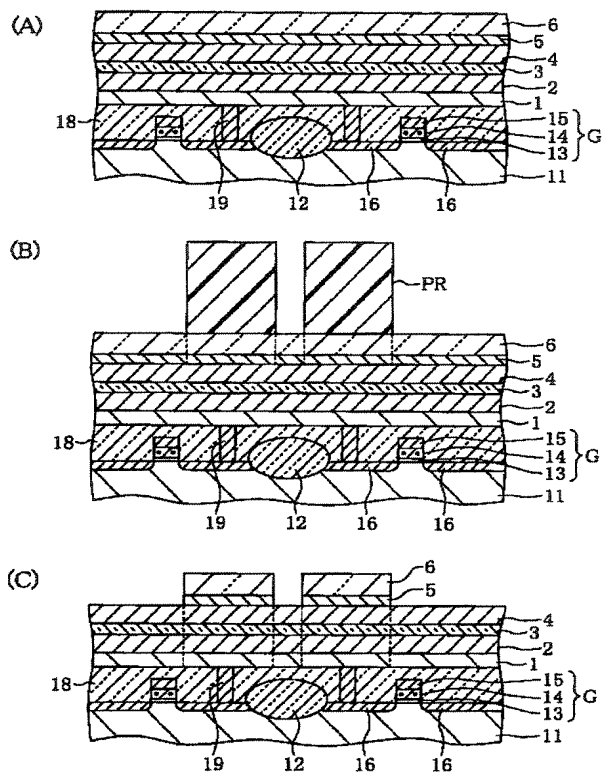
【図6】 本発明の実施例の他の例による強誘電体キャパシタ構造パターンニング後の構成を示す電子顕微鏡写真である。

【符号の説明】

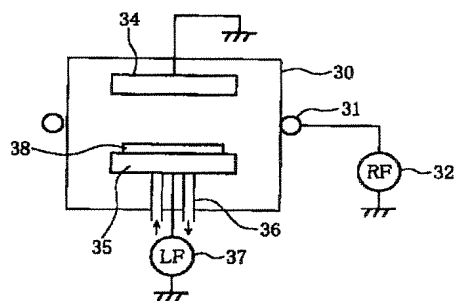
9

- 1 酸素バリア導電層
- 2 下部電極
- 3 強誘電体層
- 4 上部電極
- 5 ハードマスク (第1層)
- 6 ハードマスク (第2層)
- 11 シリコン基板

【図1】



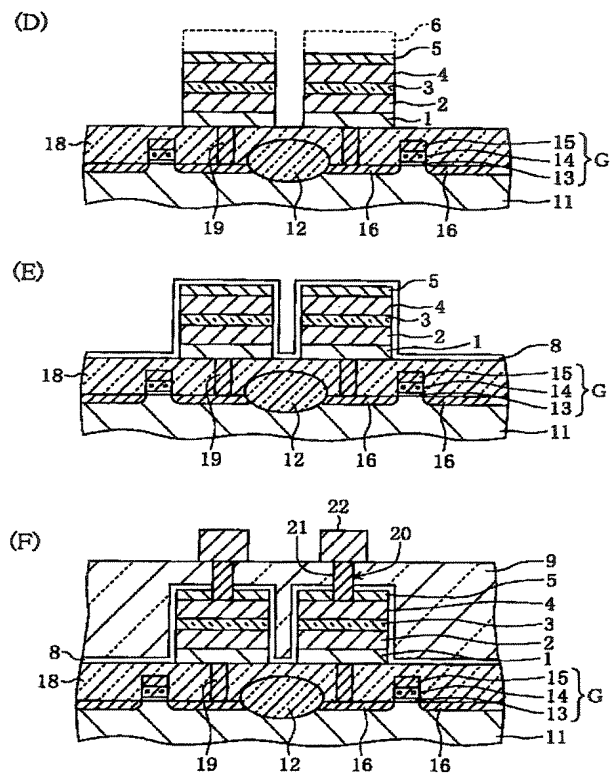
【図4】



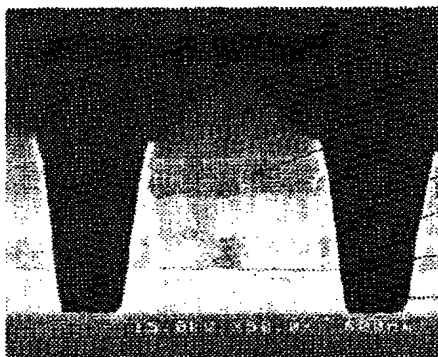
10

- * 12 素子分離領域
- 13 ゲート絶縁膜
- 14 多結晶シリコンゲート電極
- 15 シリサイドゲート電極
- 16 ソース/ドレイン領域
- 18 層間絶縁膜
- * 19 Wプラグ

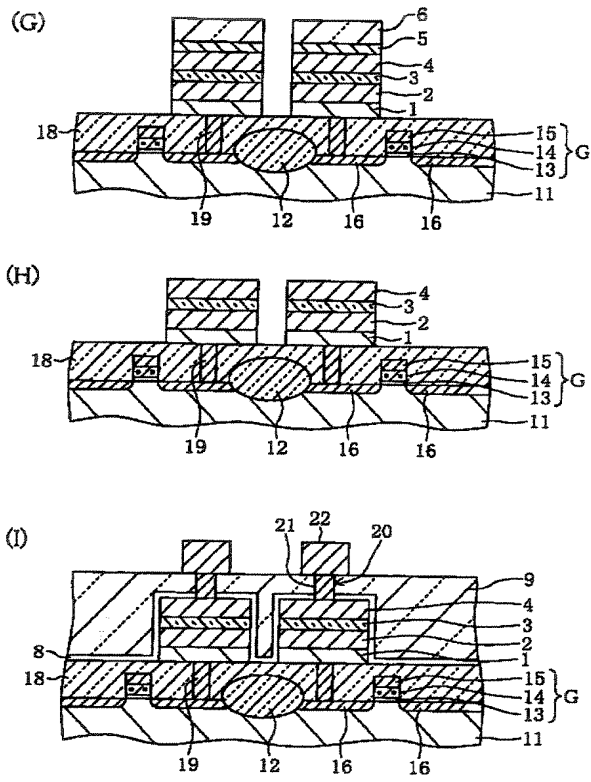
【図2】



【図6】



【図 3】



【図 5】

